

日 本 国 特 許 庁
JAPAN PATENT OFFICE

JC971 U.S. PTO
09/994610
11/28/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出 願 年 月 日
Date of Application:

2000年12月 5日

出 願 番 号
Application Number:

特願2000-370056

出 願 人
Applicant(s):

富士通株式会社
株式会社東芝

2001年 8月17日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造

出証番号 出証特2001-3073988

【書類名】 特許願

【整理番号】 0000626

【提出日】 平成12年12月 5日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 27/00

【発明の名称】 半導体装置

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 川畑 邦範

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 菊竹 陽

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横
浜事業所内

【氏名】 白武 慎一郎

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社東芝

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデン
プレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 信号を伝達するための信号線を有する半導体装置において、
前記信号線を複数の動作モードで駆動し、
該複数の動作モードは、前記信号線をプリチャージするダイナミック動作モードと、前記信号線をプリチャージしないスタティック動作モードとを含むことを特徴とする請求項 1 記載の半導体装置。

【請求項 2】 信号を伝達するための信号線と、
前記信号線をプリチャージする第 1 の動作モードでは、前記信号線をプリチャージしてから伝達すべき信号のレベルに応じて前記信号線を駆動し、前記信号線をプリチャージしない第 2 の動作モードでは、伝達すべき信号のレベルに応じて前記信号線を駆動する駆動回路と

を有することを特徴とする半導体装置。

【請求項 3】 信号を伝達するための信号線と、
該信号線をハイレベル（H）及びローレベル（L）にそれぞれ駆動する第 1 及び第 2 のトランジスタと、

前記信号線をプリチャージする第 1 の動作モード、プリチャージしない第 2 の動作モード、及び前記信号線を介して伝達すべき信号のレベルに応じて、前記第 1 及び第 2 のトランジスタを制御して前記信号線を駆動する駆動回路と

を有することを特徴とする半導体装置。

【請求項 4】 信号を伝達するための信号線と、
該信号線をハイレベル（H）及びローレベル（L）にそれぞれ駆動する第 1 及び第 2 のトランジスタと、

第 1 の動作モードにおいては、予め H 又は L にプリチャージされた信号線を、伝達信号が L 又は H の時に第 2 又は第 1 のトランジスタを用いて L 又は H にそれぞれ駆動し、第 2 の動作モードにおいては、伝達信号が H か L かに応じて、前記信号線を第 1 のトランジスタを用いて H、第 2 のトランジスタを用いて L に駆動する駆動回路と

を有することを特徴とする半導体装置。

【請求項5】 前記半導体装置は更に、第1の動作モードにおいて第1及び第2のトランジスタがオフ状態にある時に前記信号線をプリチャージする第3のトランジスタを有することを特徴とする請求項4記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体記憶装置などの半導体装置に関し、特に内部の信号線の駆動に関する。

【0002】

【従来の技術】

CPUの動作周波数が高くなるにつれて、半導体記憶装置もより高い周波数での動作が要求されるようになった。動作周波数を高くするためには、予めハイレベル（H）（又はローレベル（L））にプリチャージした信号線を、伝達信号がL（又はH）の時にL（又はH）に駆動して再びプリチャージする動作、つまり信号線の駆動／プリチャージの2段階の動作であるダイナミック動作よりも、伝達信号に応じてH又はLに駆動する1段階のスタティック動作が優位である。

【0003】

図1（A）にダイナミック動作を示し、図1（B）にスタティック動作を示す。

【0004】

図1（A）に示すダイナミック動作は、信号線をHにプリチャージする場合である。信号線がプリチャージされた状態で、伝達信号のレベルに応じて信号線を駆動する。サイクルTの間に、駆動／プリチャージの2段階動作が必要となる。よって、伝達信号の周波数が高いと（サイクルTがT'のように短くなる）、図1（A）のNGとして図示してあるように、サイクルTの間にプリチャージが終わらないという問題がある。以下、ダイナミック動作をさせるモードをダイナミックモードという。

【0005】

図 1 (B) に示すスタティック動作は、サイクル T' の間に伝達信号のレベルに応じて信号線の駆動だけが行われる。つまり、プリチャージ動作が不要となるので、高い周波数の信号伝達に適する。以下、スタティック動作をさせるモードをスタティックモードという。

【 0 0 0 6 】

このようなダイナミックモードとスタティックモードの両方の動作モードを具備する半導体記憶装置が知られている。高速なスタティックモードでデータを読み出し、ダイナミックモードで半導体記憶装置の試験を行う。以下、このような半導体記憶装置の一例を図 2 を参照して説明する。

【 0 0 0 7 】

図 2 は、メモリセルからデータを読み出したものの信号線であるデータバス及びその周辺回路を示す回路図である。図 2 において、データバス線 DB 0 ~ DB 3 は通常動作モードで用いられ、試験専用のデータバス線 TDB 0、TDB 1 (ペアとなっている) は試験動作モードで用いられる。通常動作モードは、高速に信号を伝達するためにスタティックモードである。これに対し、試験動作モードでは試験専用データバス線 TDB 0、TDB 1 をそれほど高い周波数で動作させる必要がないため、ダイナミックモードである。

【 0 0 0 8 】

データバス線 DB 0 ~ DB 3 及び試験専用データバス線 TDB 0、TDB 1 には駆動回路 1 0 が設けられ、試験専用データバス線 TDB 0、TDB 1 にはプリチャージ回路 1 2 が設けられている。試験専用データバス線 TDB 0、TDB 1 はダイナミックモードで駆動されるので、プリチャージ回路 1 2 が必要となる。

【 0 0 0 9 】

駆動回路 1 0 は、メモリセルアレイ 2 2 から延びるビット線対に接続されるセンスアンプ (S/A) 2 4 からの相補形式の読出しデータ RD c、RD t 及び試験モード信号 TST に応じて、データバス線 DB 0 ~ DB 3 及び試験専用データバス線 TDB 0、TDB 1 を後述するように駆動する。駆動回路 1 0 は、NMOS トランジスタ 1 4、1 6、2 0、PMOS トランジスタ 1 8、NAND ゲート 2 6、NOR ゲート 3 0、3 4、4 8、インバータ 2 8、3 2、3 6、4 0 を有

する。プリチャージ回路は、NANDゲート42、PMOSトランジスタ44、46を有する。図2では図面を簡単にするために図示を省略してあるが、NANDゲート26、NORゲート20、34、38、インバータ28、32、26、40は、センスアンプ24毎（メモリセル毎）に設けられている。

【0010】

メモリセルアレイ22はマトリクス状に配列された複数のメモリセルを有し、各メモリセルから延びるビット線対はセンスアンプ24に接続されている。図2では、4つのセンスアンプ24を図示している。センスアンプ24に対応して、駆動回路10のPMOSトランジスタ18とNMOSトランジスタ20とからなるインバータがデータバス線DB0～DB3に図示するように接続されている。図2の*で示す回路部分は、4つのセンスアンプ24に対応している。センスアンプ24から延びる1対のビット線上の読出しデータRDc、RDt、及び試験モード信号TSTは図示するようにして駆動回路10に与えられる。

【0011】

通常動作時、試験モード信号TSTはLである。読出しデータRDc、RDtのレベルに応じて、PMOSトランジスタ18とNMOSトランジスタ20の一方がONし、ONしたトランジスタが対応するデータバス線をH又はLに駆動する。

【0012】

ここで、試験専用データバス線TDB0、TDB1を用いたデータ圧縮試験について説明する。データ圧縮試験とは、複数のデータビット（メモリセル）をまとめて試験するもので、得られた相補データの状態を参照して複数のメモリセル中にエラーがあるかどうかを試験するものである。エラーが無い場合には、試験専用データバス線TDB0、TDB1の一方がH、他方がLとなる。これに対し、エラーが1つでもあると、両方の試験専用データバス線TDB0、TDB1はLとなる。

【0013】

データ圧縮試験は、試験モード信号TSTがHになり、プリチャージ信号PCGがHになることで行われる。これにより、プリチャージ回路12のNANDゲ

ート42はLを出力し、PMOSトランジスタ44、46がONして試験専用データバス線TDB0、TDB1をH（電源電圧VDDレベル）にプリチャージする。試験モード信号TSTがLからHになると、駆動回路10のNANDゲート26、NORゲート30が非活性化（ディスエーブル）されるのに対し、NORゲート34、38は活性化（イネーブル）される。NANDゲート26とNORゲート30が非活性化されるので、データバス線DB0～DB3は駆動されない。

【0014】

活性化されたメモリセルから正常に相補形式の読出しデータRDc、RDtが得られると、一方がLで他方がHである。例えば、メモリセルからHが読み出されると、読出しデータRDcはLで、RDtはHとなる。活性化されていないメモリセルに対応する読出しデータRDc、RDtはいずれもLである。従って、活性化されていないメモリセルに対応する駆動回路のNMOSトランジスタ14、16はいずれもOFFとなる。活性化されたメモリセルからの読出しデータRDc、RDtに応じて、NMOSトランジスタ14、16のいずれか一方がONし、対応する試験専用データバス線TDB0又はTDB1がHからLに駆動される。

【0015】

今、図示する4つのセンスアンプ24に繋がるメモリセルにHを書込み、駆動回路10の対応する回路*を介して試験専用データバス線TDB0又はTDB1に読み出す（データをワイヤードORする）ことで、活性化したメモリセル単位に（駆動回路10の回路部分*単位に）読出しデータにエラーがあるかどうかを判別する。例えば、4つのセンスアンプ24はアドレスで区分されるメモリセル群である。この仮定においては、他のアドレスに係する**部分や図示を省略している同様のNMOSトランジスタ14、16はすべてOFFしている。

【0016】

メモリセルにHを書込んだ場合においてエラーがなければ、読出しデータRDtはHなので、NMOSトランジスタ14はすべてONして試験専用データバス線TDB0をLに駆動する。これに対し、NMOSトランジスタ16はすべてO

FFで試験専用データバス線TDB1はプリチャージレベルHのままである。つまり、エラーが無ければ試験専用データバス線TDB0、TDB1の一方がHで他方がLとなる。これに対し、4つのメモリセルのうちの1つでもエラーがあると、読出しデータRDc、RDtのH、Lが逆になり、上記の例の場合、対応するNMOSトランジスタ16がONし、試験専用データバス線TDB1をLに駆動する。よって、試験専用データバス線TDB0とTDB1のいずれもがLになる。これにより、エラー判別ができる。

【0017】

メモリセルにLを書込んだ場合においてエラーがなければ、NMOSトランジスタ14はすべてOFFし、NMOSトランジスタ16はすべてONするので、試験専用データバス線TDB0、TDB1はそれぞれH、Lとなる。エラーが1ビットでもあれば、試験専用データバス線TDB0もLとなる。これにより、エラー判別ができる。

【0018】

【発明が解決しようとする課題】

しかしながら、図2に示す従来構成では、通常動作モードで用いるデータバス線DB0～DB3をスタティックモードで動作させる場合には、ダイナミックモードで動作させる1対の試験専用データバス線TDB0、TDB1を別に設ける必要があった。加えて、駆動回路10を多くの回路素子で構成する必要がある。よって、大きなチップ上の面積を必要とし、高集積化の妨げとなっていた。

【0019】

本発明は上記従来技術の問題点を解決し、信号線を駆動するための回路構成を小規模化してチップ面積の削減を可能とした半導体装置を提供することを目的とする。

【0020】

【課題を解決するための手段】

本発明によれば、信号線を複数の動作モードで駆動する。例えば、図2のデータバス線DB0～DB3を通常動作モードと試験動作モードで駆動する。これにより、従来は動作モード毎に駆動回路を設け、またモード毎に信号線を設けてい

た構成に対し、信号線を駆動するための回路構成を小規模化してチップ面積の削減を図ることができる。

【 0 0 2 1 】

【発明の実施の形態】

まず、図 3 を参照して本発明の原理を説明する。

【 0 0 2 2 】

図 3 は、本発明により図 2 に示すデータバス線 DB 0 ～ DB 3 がどのように駆動されるのかを説明するための図である。本発明では、データバス線 DB 0 ～ DB 3 を通常動作モードと試験動作モード（データ圧縮試験）の両方で駆動する。通常動作モード時はスタティック動作で、試験動作モード時はダイナミック動作とする。通常動作モードではサイクル T' の間に一度だけ遷移があり、次の駆動があるまで前サイクルの状態を保持する。これに対し、試験動作モードではサイクル T (< T') の間に駆動とプリチャージの二度の遷移がある。

【 0 0 2 3 】

図 4 は、本発明の第 1 の実施の形態を示す回路図である。図 4 中、図 2 に示す回路要素と同一のものには同一の参照番号を付してある。図 4 の構成において、駆動回路 6 0 とプリチャージ回路 6 2 は試験専用データバス線 TDB 0 のみを具備し、図 2 の構成で用いていた試験専用データバス線 TDB 1 を具備していない。図 4 の構成では、データバス線 DB 0 ～ DB 3 が試験専用データバス線 TDB 1 の機能を果たす。

【 0 0 2 4 】

駆動回路 6 0 は NMOS トランジスタ 1 4、2 0、PMOS トランジスタ 1 8、NAND ゲート 2 6、NOR ゲート 3 4、及びインバータ 3 2、4 0 を具備して構成される。

【 0 0 2 5 】

プリチャージ回路 6 2 は、NAND ゲート 4 2、PMOS トランジスタ 4 6、4 8、5 0、5 2、5 4 を具備する。図 4 の構成では、データバス線 DB 0 ～ DB 3 は試験専用データバス線 TDB 1 の機能を果たす。つまり、データバス線 DB 0 ～ DB 3 をダイナミック動作させる。このために、試験動作モードにおいて

データバス線DB0、DB1、DB2、DB3をHにプリチャージするのがそれぞれPMOSトランジスタ54、52、50、48である。

【0026】

NANDゲート56はデータバス線DB0～DB3上のデータのNAND演算を行う。試験専用データバス線TDB0におけるワイヤードORに相当するもので、データを圧縮している。インバータ58はNANDゲート56の出力を反転して出力する。インバータ58の出力は試験専用データバス線TDB1となる。

【0027】

通常動作モード時、試験モード信号TSTはLで、プリチャージ信号PCGもLである。プリチャージ信号PCGがLなので、プリチャージトランジスタ46、48、50、52及び54は何れもOFFしている。また、テストモード信号TSTがLなので、NORゲート34は非活性化状態であり、NMOSトランジスタ14はOFFしている。更に、テストモード信号TSTがLなので、NANDゲート26は活性化状態にある。センスアンプ24で読み出された相補形式の読出しデータRDt、RDcがそれぞれH、LならばPMOSトランジスタ18はONし、NMOSトランジスタ20はOFFする。よって、対応するデータバス線（例えばDB0）はHになる。センスアンプ24で読み出された相補形式の読出しデータRDt、RDcがそれぞれL、HならばPMOSトランジスタ18はOFFし、NMOSトランジスタ20はONする。よって、対応するデータバス線（例えばDB0）はLになる。

【0028】

試験動作モード時、試験モード信号TSTはLからHに変化し、プリチャージ信号PCGもLからHに変化する。これにより、NANDゲート42の出力はHからLに変化し、プリチャージトランジスタ46、48、50、52及び54は何れもONし、データバス線DB0～DB3及び試験専用データバス線TDB0はHにプリチャージされる。また、試験モード信号TSTがHになると、NANDゲート26は非活性化状態となり、NORゲート34は活性化状態になる。NANDゲート26は非活性化状態なのでHを出力する。よって、PMOSトランジスタ18はすべてOFFとなる。つまり、試験動作モード時は、NMOSトラ

ンジスタ 2 0 のみが使用され、PMOS トランジスタ 1 8 は使用されない。すなわち、H にプリチャージされたデータバス線 DB 0 ~ DB 3 を、メモリセルから読み出されたデータが L の場合、つまり読出しデータ RD c が H の場合に L に駆動するダイナミック動作が行われる。

【 0 0 2 9 】

今、図示する 4 つのセンスアンプ 2 4 に繋がるメモリセルに H を書込み、データ圧縮試験で読み出す場合を考える。正常な場合には、いずれの読出し信号 RD c も L なのでトランジスタ 2 0 は OFF する。つまり、データバス線 DB 0 ~ DB 3 は H にプリチャージされたままである。NAND ゲート 5 6 はデータバス線 DB 0 ~ DB 3 上の H データを圧縮し、L を出力する。インバータ 5 8 はこれを反転して、試験専用データバス線 TDB 1 に H を出力する。他方の読出し信号 RD t はいずれも L なので、NOR ゲート 3 4 の出力は H となり、NMOS トランジスタ 1 4 はすべて ON する。よって、試験専用データバス線 TDB 0 は L となる。

【 0 0 3 0 】

仮に、いずれかの読出しデータにエラーがあると、例えば読出しデータ RD c 、RD t はそれぞれ H、L となる。読出しデータ RD c が L なので NMOS トランジスタ 2 0 は ON し、対応するデータバス線は H から L になる。この結果、NAND ゲート 5 6 の出力は L から H に変化し、試験専用データバス線 TDB 1 は H から L になる。このように、エラーが 1 つでもあったら、試験専用データバス線 TDB 0、TDB 1 のいずれも L となる。

【 0 0 3 1 】

また、図示する 4 つのセンスアンプ 2 4 に繋がるメモリセルに L を書込み、データ圧縮試験で読み出す場合を考える。正常な場合には、いずれの読出し信号 RD c も H なのでトランジスタ 2 0 は ON する。つまり、データバス線 DB 0 ~ DB 3 は H から L に変化する。NAND ゲート 5 6 はデータバス線 DB 0 ~ DB 3 上の L データを圧縮し、H を出力する。インバータ 5 8 はこれを反転して、試験専用データバス線 TDB 1 に L を出力する。他方の読出し信号 RD t はいずれも L なので、NMOS トランジスタ 1 4 はすべて OFF する。よって、試験専用デ

ータバス線TDB0はプリチャージされたHのままとなる。

【0032】

仮に、いずれかの読出しデータにエラーがあると、例えば読出しデータRDc、RDtはそれぞれL、Hとなる。読出しデータRDcがLなので、対応するNMOSトランジスタ20はOFFのままであり、対応するデータバス線はHのままである。この場合、NANDゲート56の出力はHのままで、試験専用データバス線TDB1はLである。他方、読出しデータRDtがHなので、対応するNORゲート34の出力はHとなり、NMOSトランジスタ14をONする。この結果、試験専用データバス線TDB0はHからLに変化する。このように、エラーが1つでもあると、試験専用データバス線TDB0、TDB1のいずれもLとなる。

【0033】

図5は、本発明の第2の実施の形態を示す回路図である。図5中、前述した図に示される回路要素と同一のものには同一の参照番号を付してある。図5の回路構成の特徴は、データバス線DB0～DB3を駆動するPMOSトランジスタ18をプリチャージ用にも用いることにある。

【0034】

図5に示す回路は、駆動兼プリチャージ回路64とプリチャージ回路66とを具備する。プリチャージ回路66は、試験専用データバス線TDB0のプリチャージを行うもので、前述のNANDゲート42とPMOSトランジスタ46とを有する。

【0035】

駆動兼プリチャージ回路64は、PMOSトランジスタ18をプリチャージ用としても用いるために、NANDゲート26の入力に設けられたORゲート68、70を有する。ORゲート68は、読出しデータRDtと試験モード信号TSTのORをとる。ORゲート70は、プリチャージ信号PCGと試験モード信号TSTのORをとる。

【0036】

通常動作モード時は、試験モード信号TSTとプリチャージ信号PCGはいず

れもLである。試験モード信号TSTのLはインバータ40で反転され、ORゲート70に与えられるので、ORゲートはHを出力する。よって、NANDゲート26は活性化状態となる。読出しデータRDtがHならばNANDゲート26の出力はLとなり、対応するPMOSトランジスタ18はONする。読出しデータRDtがLならばNANDゲート26の出力はHとなり、対応するPMOSトランジスタ18はOFFする。

【0037】

これに対し、試験動作モード時、試験モード信号TSTをLからHに設定する。次に、プリチャージ信号PCGをLからHに設定する。これによりNANDゲート26の出力はLになり、すべてのPMOSトランジスタ18がONしてデータバス線DB0～DB3をHにプリチャージする。

【0038】

このように、PMOSトランジスタ18は駆動トランジスタのみならず、プリチャージトランジスタとしても機能するので、プリチャージ回路66は試験専用データバス線TDB0のみをプリチャージする構成である。

【0039】

上記プリチャージ動作以外の回路動作は、図4を参照して説明した動作と実質的に同じなので、ここでは繰り返して説明しない。

【0040】

図6は、図4や図5の回路構成を具備する半導体記憶装置の全体構成示すブロック図である。図示する半導体記憶装置は、アドレス端子171、コマンド入力端子172～174、データ入出力端子175、端子171～174にそれぞれ接続された入力バッファ176～179、リフレッシュ動作を制御するリフレッシュ制御回路180、入力バッファ／出力バッファ181、アドレスレジスタ182、制御回路183、データ制御回路184、コア回路185及びライトアンプ／センスバッファ186を有する。アドレス端子171及び入力バッファ176を介して外部アドレスを受け取り、ロー系及びコラム系のデコードされたアドレスをコア回路185に出力する。チップイネーブル／CE、ライトイネーブル信号／WE、出力イネーブル信号／OEはそれぞれ入力バッファ177、178

、179を介して制御回路183に与えられる。データ入出力回路184は、制御回路183の制御のもとでデータの入出力を制御する。図4や図5の回路構成は、コア回路185中に複数個、マトリクス状に配置されている。

【0041】

【発明の効果】

以上説明したように、本発明によれば、信号線を複数の動作モードで駆動することとしたため、信号線を駆動するための回路構成を小規模化してチップ面積の削減を図ることができる。

【図面の簡単な説明】

【図1】

信号線のスタティック動作とダイナミック動作を説明するための図である。

【図2】

従来の半導体記憶装置の構成例を示す回路図である。

【図3】

本発明の原理を説明するための図である。

【図4】

本発明の第1の実施の形態を示す回路図である。

【図5】

本発明の第2の実施の形態を示す回路図である。

【図6】

図4又は図5の回路構成を具備する半導体記憶装置の一構成例を示すブロック図である。

【符号の説明】

- 10、60 駆動回路
- 12、62、66 プリチャージ回路
- 22 メモリセルアレイ
- 24 センスアンプ
- 64 駆動兼プリチャージ回路
- DB0～DB3 データバス線

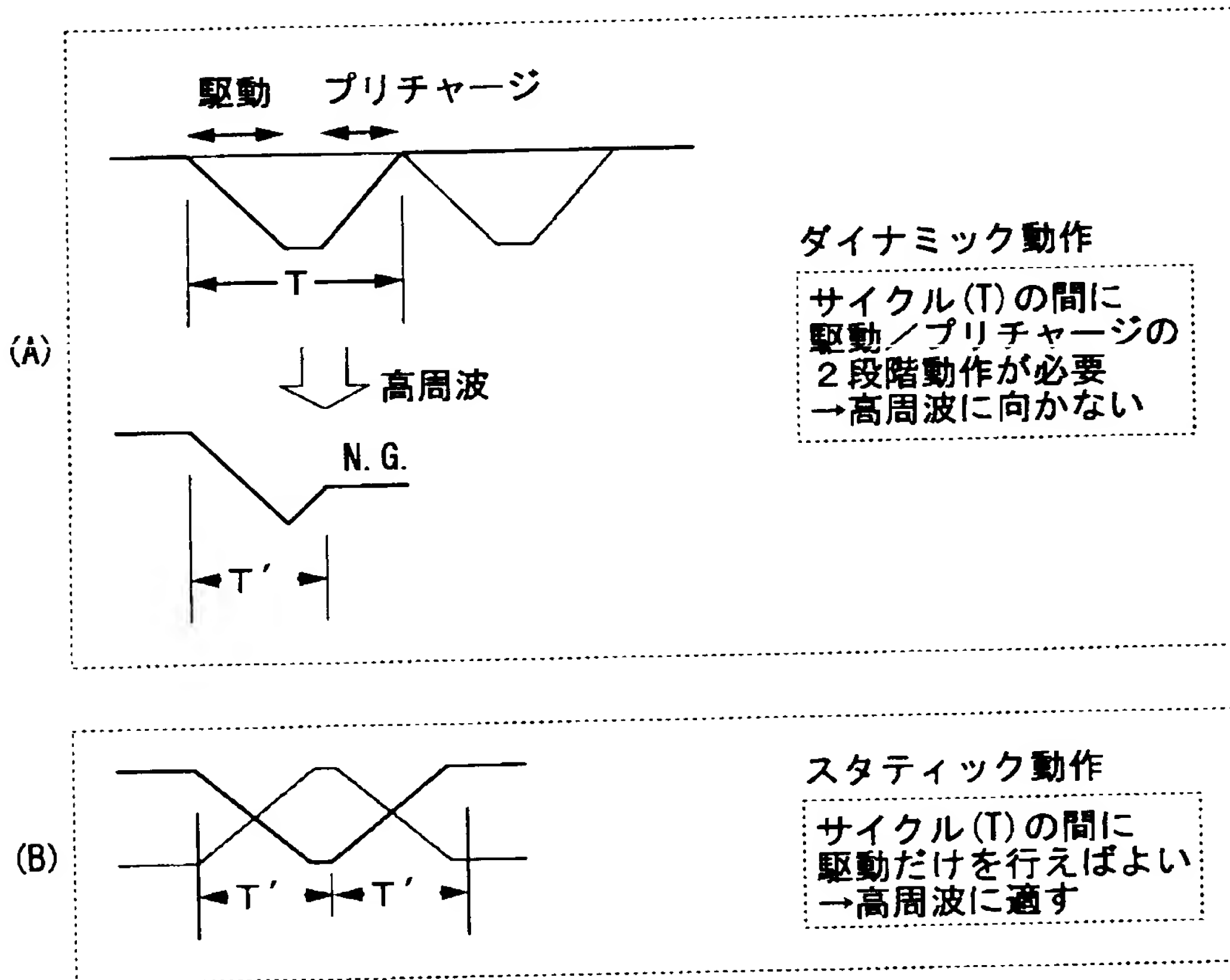
T D B 0、T D B 1 試験専用データベース線

【書類名】

図面

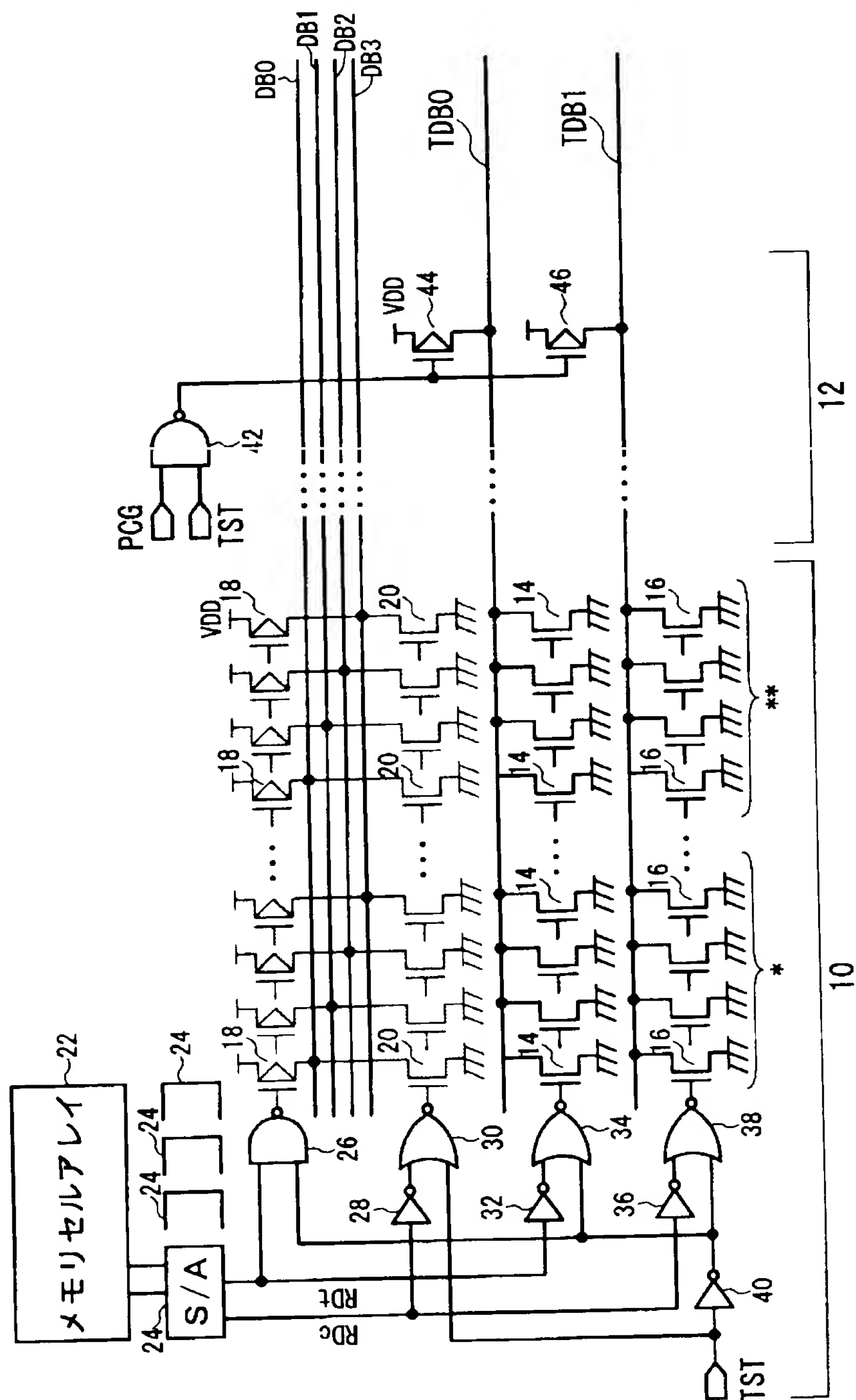
【図 1】

信号線のスタティック動作と
ダイナミック動作を説明するための図



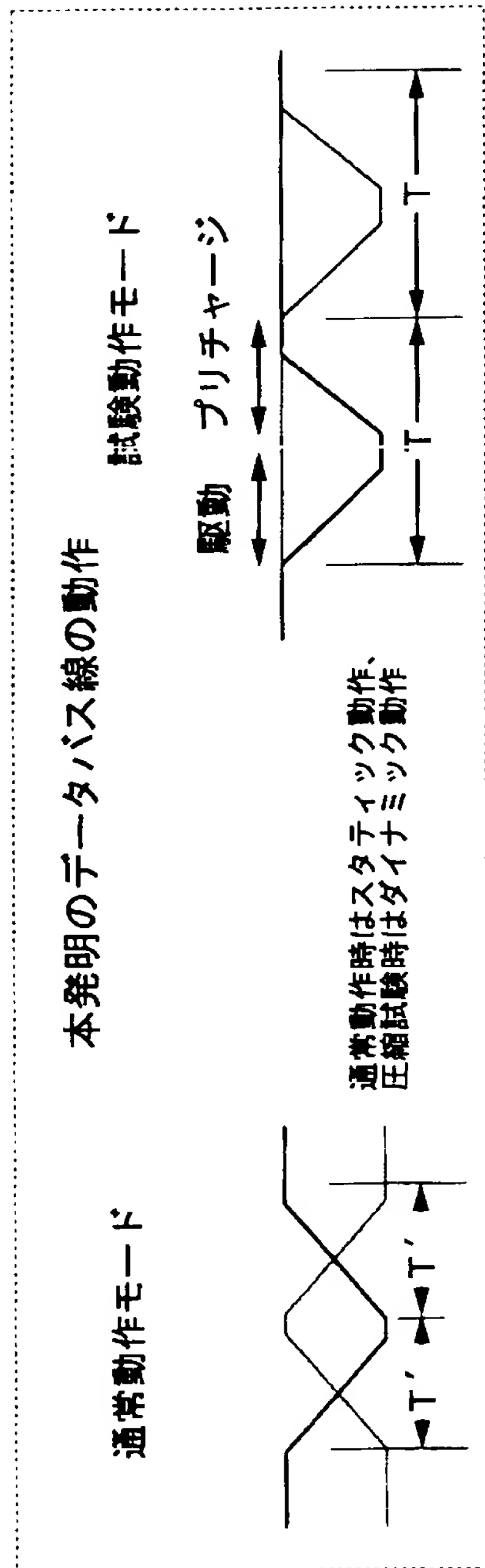
【图 2】

従来の半導体記憶装置の構成例を示す回路図



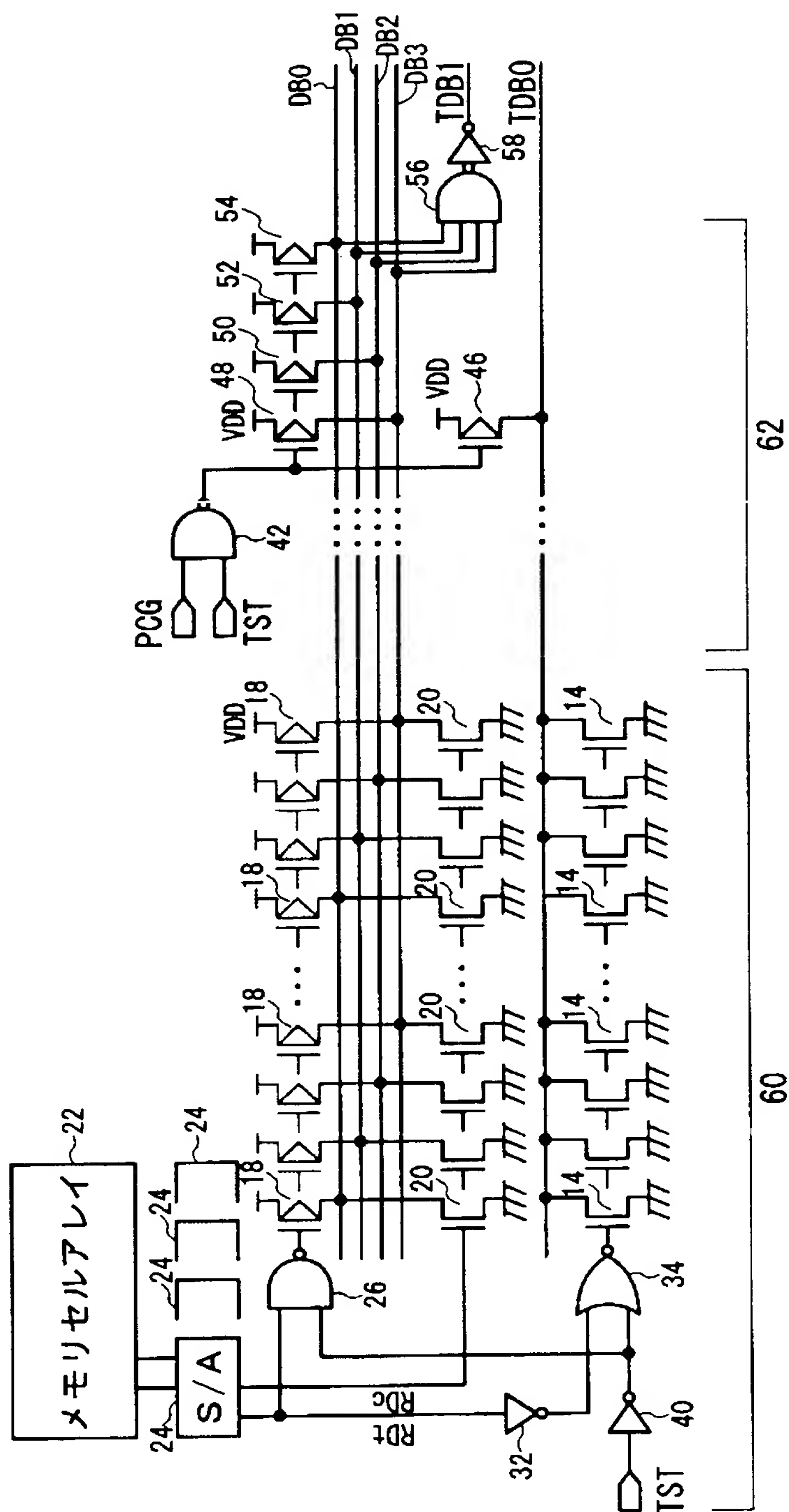
【図 3】

本発明の原理を説明するための図



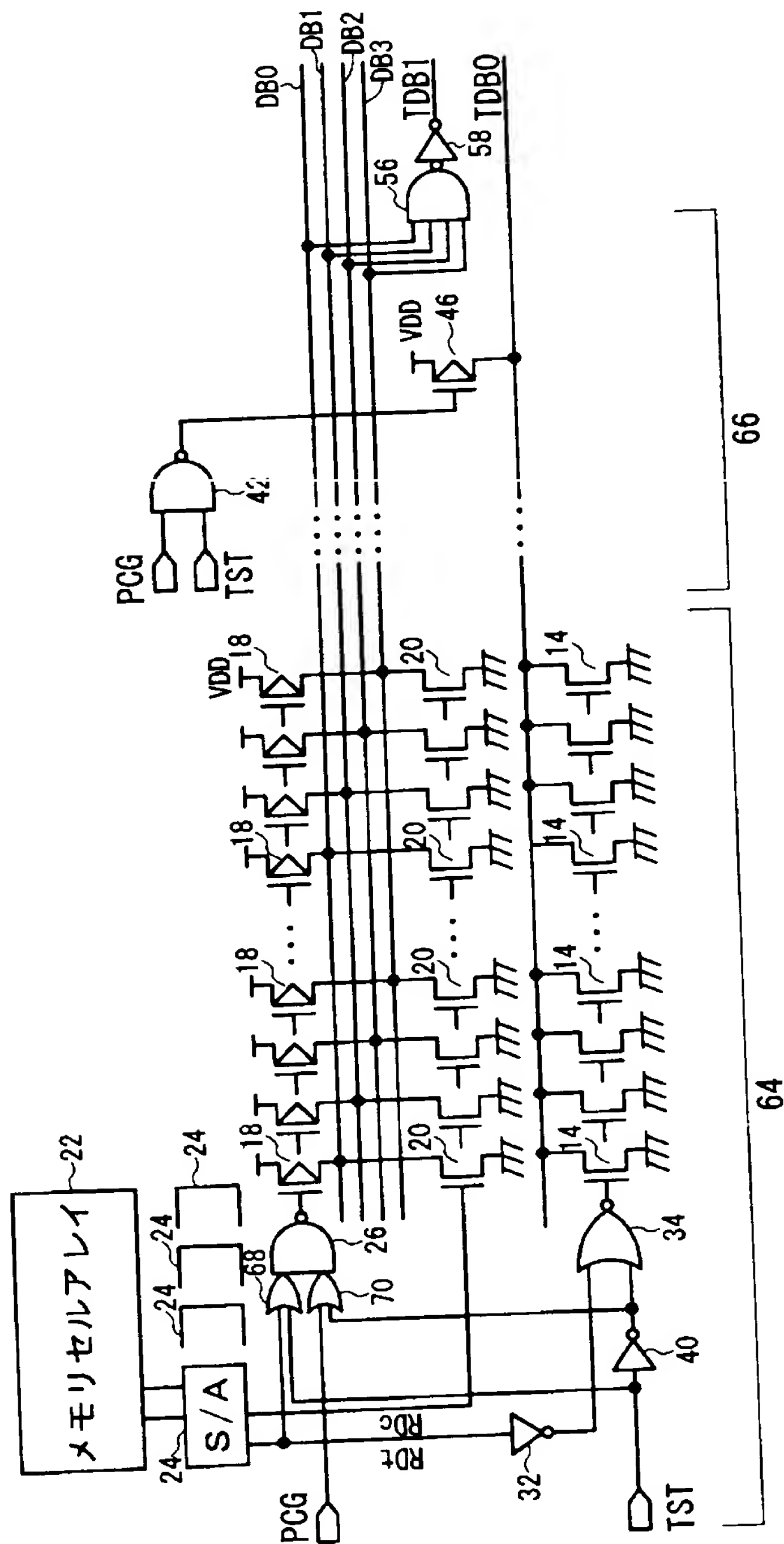
【図 4】

本発明の第 1 の実施の形態を示す回路図



【図5】

本発明の第2の実施の形態を示す回路図



【書類名】 要約書

【要約】

【課題】 本発明は、信号線を駆動するための回路構成を小規模化してチップ面積の削減を図る。

【解決手段】 信号を伝達するための信号線を複数の動作モードで駆動する。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日 1 9 9 0 年 8 月 2 2 日
[変更理由] 新規登録
住 所 神奈川県川崎市幸区堀川町 7 2 番地
氏 名 株式会社東芝

2. 変更年月日 2 0 0 1 年 7 月 2 日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目 1 番 1 号
氏 名 株式会社東芝